

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-332781

(P2000-332781A)

(43)公開日 平成12年11月30日 (2000.11.30)

(51) Int.Cl.⁷

H 04 L 12/28

12/56

識別記号

F I

H 04 L 11/20

テ-マコ-ト⁷(参考)

F 5 K 0 3 0

1 0 2 Z

審査請求 未請求 前項の数10 OL (全 23 頁)

(21)出願番号 特願平11-138162

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(22)出願日 平成11年5月19日 (1999.5.19)

(72)発明者 外山 貴章

神奈川県横浜市戸塚区戸塚町216番地 株

式会社日立製作所通信システム事業本部内

(72)発明者 二見 勇正

神奈川県横浜市戸塚区戸塚町216番地 株

式会社日立製作所通信システム事業本部内

(74)代理人 100107010

弁理士 橋爪 健

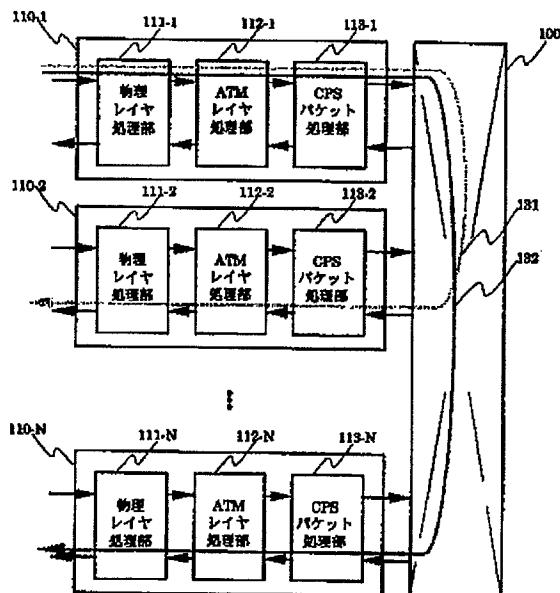
(54)【発明の名称】 可変長パケットスイッチ

最終頁に続く

(57)【要約】

【課題】 AAL2によるCPSパケットを交換する可変長スイッチにおいて、CPSパケットをATMセルに搭載してCPSパケットを交換する場合に、スイッチ部の容量を圧迫することなく効率的な可変長パケットスイッチを提供する。

【解決手段】 インタフェース部110-1～Nは、CPSパケットが多重されたATMセルを受信し、受信したATMセルを分解して、搭載されるCPSパケットを分離する。複数のCPSパケットの出力方路が同一の場合、同一のコネクションのセルに多重してスイッチ部100に転送する。送信側のインターフェース110-1～Nでは、スイッチ部100より転送されるセルを分解し、CPSパケットの出力方路に対応したセルに多重する。



1

【特許請求の範囲】

【請求項1】非同期転送モードで転送されるセルに搭載される複数の可変長パケットを交換する可変長パケットスイッチであつて、
 セルを受信する受信インターフェース部と、
 セルを送信する送信インターフェース部と、
 前記受信インターフェース部及び前記送信インターフェース部とを収容し、セルを交換するスイッチ部とを備え、
 前記受信インターフェース部は、受信セルを分解して受信セルに多重される可変長パケットを分離し、送信処理が行われる送信インターフェース部が同一である各可変長パケットを、同一のヘッダ値のセルに多重して前記スイッチ部に転送する可変長パケット受信部を有し、
 前記スイッチ部は、前記受信インターフェース部より転送されるセルを、セルのヘッダ値に応じて送信処理が行われる前記送信インターフェース部に転送し、
 前記送信インターフェース部は、前記スイッチ部より転送されるセルを分解し、多重されている可変長パケットを分離し、出力方路が同一である各可変長パケットを、同一のヘッダ値の送信セルに多重する可変長パケット送信部を有することを特徴とする可変長パケットスイッチ。

【請求項2】前記可変長パケット受信部は、
 受信セルを分解し、可変長パケットを分離する第1のセル分解部と、
 前記第1のセル分解部により分解された可変長パケットのヘッダを変換する第1の可変長パケットヘッダ変換部と、
 前記第1の可変長パケットヘッダ変換部により変換されたヘッダに基づき、可変長パケットを送信処理が行われる前記送信インターフェース部毎に振り分ける第1の可変長パケット振分け部と、
 前記振分け部により振り分けられた可変長パケットを同一のコネクションに多重する第1のセル組立部と、
 前記第1のセル組立部により組み立てられたセルを前記スイッチ部に出力する第1のセル多重部とを備えたことを特徴とする請求項1に記載の可変長パケットスイッチ。

【請求項3】前記可変長パケット受信部は、
 受信するセルの装置内ヘッダ値及び分離された可変長パケットのヘッダ値の組みを登録する受信パケットヘッダ登録領域と、分離された可変長パケットが多重される装置内セルのヘッダ値及びヘッダ値変換後の可変長パケットのヘッダ値の組を登録する多重パケットヘッダ登録領域とを有し、前記受信パケットヘッダ登録領域と前記多重パケットヘッダ登録領域とを対応づけて記憶する第1のパケットヘッダ変換テーブルをさらに備え、
 前記第1のパケットヘッダ変換部は、受信したセルの装置内ヘッダ値及び分離された可変長パケット値の組みに基づき、前記パケットヘッダ変換テーブルの受信パケットヘッダ登録領域に登録されている値を検索し、対応す

2

る多重パケットヘッダ登録領域の値から、分離された可変長パケットが多重されるセルの装置内ヘッダ値とヘッダ値変換後の可変長パケットのヘッダ値を求める特徴とする請求項2に記載の可変長パケットスイッチ。

【請求項4】前記第1の可変長パケット振分け部は、前記第1の可変長パケットヘッダ変換部により検索された、前記第1のパケット変換テーブルに登録された多重パケットヘッダ登録領域の値により、可変長パケットの振分けを行うことを特徴とする請求項2又は3に記載の可変長パケットスイッチ。

【請求項5】前記第1のセル組み立て部は、
 分離された可変長パケットを蓄積しセルを組み立てるために、前記送信インターフェース部毎の複数のセル化バッファ部を有し、
 前記第1のパケット変換テーブルに登録された多重パケットヘッダ登録領域の値により、分解された可変長パケットを蓄積するいずれかの前記セル化バッファ部が選択されることを特徴とする請求項2乃至4のいずれかに記載の可変長パケットスイッチ。

【請求項6】前記可変長パケット送信部は、
 前記スイッチ部により転送されるセルを分解し、可変長パケットを分離する第2のセル分解部と、
 分解した可変長パケットのパケットヘッダを変換する第2の可変長パケットヘッダ変換部と、
 第2の可変長パケットヘッダ変換部により変換されたヘッダに基づき、可変長パケットを出力方路に対応する送信セル毎に振り分ける第2の可変長パケット振分け部と、

前記第2の可変長パケット振分け部により振り分けられた可変長パケットを同一のコネクションに多重する第2のセル組立部と、
 組み立てたセルを送出するセル多重部とを備えたことを特徴とする請求項1乃至5のいずれかに記載の可変長パケットスイッチ。

【請求項7】前記可変長パケット受信部又は前記可変長パケット送信部は、
 伝送路のセルのヘッダ値と装置内ヘッダ値とを変換するセルヘッダ変換部をさらに備えたことを特徴とする請求項1乃至6のいずれかに記載の可変長パケットスイッチ。

【請求項8】前記受信インターフェース部は、
 送信処理が行われる送信インターフェース部が同一である可変長パケットの種別をさらに識別し、可変長パケットの種別毎にさらに異なるヘッダ値を有するセルに多重して前記スイッチ部に転送することを特徴とする請求項1に記載の可変長パケットスイッチ。

【請求項9】前記受信インターフェース部は、
 受信するセルの装置内ヘッダ値及び分離された可変長パケットのヘッダ値及び受信パケットの種別値の組みを登録する受信パケットヘッダ登録領域と、分離された可変

50

長パケットが多重される装置内セルのヘッダ値及びヘッダ値変換後の可変長パケットのヘッダ値の組を登録する多重パケットヘッダ登録領域とを有し、前記受信パケットヘッダ登録領域と前記多重パケットヘッダ登録領域とを対応づけて記憶する第2のパケットヘッダ変換テーブルを備え、

受信したセルの装置内ヘッダ値及び分離された可変長パケット値及び受信パケットの種別値の組みに基づき、前記第2のパケットヘッダ変換テーブルの受信パケットヘッダ登録領域に登録されている値を検索し、対応する多重パケットヘッダ登録領域の値から、分離された可変長パケットが多重されるセルの装置内ヘッダ値とヘッダ値変換後の可変長パケットのヘッダ値を求ることを特徴とする請求項8に記載の可変長パケットスイッチ。

【請求項10】スイッチ部に収容された上位レイヤ機能部をさらに備え、

前記受信インターフェース部は、

受信セルを分解して、受信セルに多重される可変長パケットを分離し、送信処理が行われる前記上位レイヤ機能部が同一である可変長パケットを、同一のヘッダ値のセルに多重して前記上位レイヤ機能部に転送することを特徴とする請求項1又は8に記載の可変長パケットスイッチ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、可変長パケットスイッチに係り、特に、AALタイプ2 (ATM (非同期転送モード) アダプテーションレイヤ タイプ2、ATM Adaptation Layer Type2) として規定されているCPS (Common Part Sublayer) パケット等の可変長パケットを交換する可変長パケットスイッチに関する。

【0002】

【従来の技術】一般に、音声信号のような、低速な信号で低遅延が要求される信号をATM網のようなパケット網を介して伝送する場合、パケットの組み立て時間による伝送遅延が生じる。このような遅延を改善するために、AALタイプ2 (AAL2) と呼ばれるセル化方式が、ITU-T勧告I.363.2として勧告化されている。これは、ATMのVC (Virtual Channel) コネクション内に、AAL2レベルのコネクションを多重する方式である。AAL2では、CID (チャネル識別子、Channel Identifier) と呼ばれるコネクション識別子が付与されたCPSパケットと呼ばれる可変長のパケットが使用される。CPSパケットは、1VCコネクションに対して、異なるCIDを持つパケットが多重される。ここで、ひとつのATMセルには異なるCIDを持つCPSパケットが複数多重されるという点を特に注意しておく。

【0003】図14に、CPSパケットのフォーマットを示す。図14において、CPSパケット1700は、CID領域1701、LI (情報長表示、Length Indicator) 領域17

02、UII (ユーザ間表示CPS User-to-User Indication) 領域1703、HEC (Header ErrorControl) 領域1704、CPS-INFO領域1705を含む。CID領域1701は、上述のCIDが搭載される領域、LI領域1702はCPSパケットのパケット長が格納される領域である。また、UII領域1703はユーザー間識別子と呼ばれるコードが格納され、HEC領域1704はパケットヘッダの誤り制御領域である。CPS-INFO領域1705は、CPSパケット1700のペイロードであり可変長である。また、上述のITU-T勧告I.363.2における、LI領域1702やUII領域1703の使用方法を、特殊なパケットやCPS-INFO領域1705の使用方法に応じて詳細に示したものに、ITU-T勧告I.366.2が勧告化されている。

【0004】上述のAAL2を用いてネットワークを構成した場合、AAL2レベルのスイッチング是有用な機能であることが知られている。その理由のひとつとしては、AAL2レベルのスイッチ機能がない場合、各ノード間をVCレベルのコネクションでメッシュ状に張る必要があるのに対し、AAL2レベルでスイッチングが可能であれば、隣接するノード間にのみVCコネクションを張ればよいからである。

【0005】

【発明が解決しようとする課題】ここで、重要なのはAAL2レベルのスイッチの構成方法である。上述の従来技術でも示した通り、ひとつのセルには異なるCIDを持つパケットが多重されている。このために、ひとつのセルに多重されているCPSパケットを、それぞれ異なる方路に出力するためには、ATMセルを一度分解する必要がある。さらに、受信したセルを分解後、CPSパケットをスイッチングし、再度セル化して送信することになる。ここで、CPSパケットをスイッチングする場合、ひとつのCPSパケットを1つのATMセルに搭載し、スイッチ部を通過させる方法が考えられる。しかし、CPSパケットは可変長であるため、CPSパケットが短い場合、ATMセルのペイロードに無効な領域が発生し、スイッチ部の容量を圧迫することがある。

【0006】上述のような課題を解決するために、本発明は、AAL2によるCPSパケットを交換する可変長スイッチにおいて、CPSパケットをATMセルに搭載してCPSパケットを交換する場合に、スイッチ部の容量を圧迫することのない効率的な可変長パケットスイッチを提供することを目的とする。そして、本発明は、ひとつのATMセルにひとつのCPSパケットのみ搭載してスイッチングするのではなく、ひとつのATMセルに同一の出力方路となる複数のCPSパケットを多重して転送することにより、スイッチ部の必要帯域を低く押さえることを目的とする。

【0007】また、本発明は、特殊な種別のCPSパケットについては、インターフェース部により識別し、異なるコネクションとして区別してスイッチ部を通過させることにより、スイッチ部の必要帯域が圧縮されても、損

失率などの転送品質をCPSパケットの性質ごとに制御可能とすることを目的とする。これは、ひとつのATMセルに複数のCPSパケットを多重してスイッチ部を通過させる際の、特殊なCPSパケットのスイッチ部における品質制御を可能とすることを意味している。

【0008】

【課題を解決するための手段】本発明の第1の解決手段によると、非同期転送モードで転送されるセルに搭載される複数の可変長パケットを交換する可変長パケットスイッチであって、セルを受信する受信インターフェース部と、セルを送信する送信インターフェース部と、前記受信インターフェース部及び前記送信インターフェース部とを収容し、セルを交換するスイッチ部とを備え、前記受信インターフェース部は、受信セルを分解して受信セルに多重される可変長パケットを分離し、送信処理が行われる送信インターフェース部が同一である各可変長パケットを、同一のヘッダ値のセルに多重して前記スイッチ部に転送する可変長パケット受信部を有し、前記スイッチ部は、前記受信インターフェース部より転送されるセルを、セルのヘッダ値に応じて送信処理が行われる前記送信インターフェース部に転送し、前記送信インターフェース部は、前記スイッチ部より転送されるセルを分解し、多重されている可変長パケットを分離し、出力方路が同一である各可変長パケットを、同一のヘッダ値の送信セルに多重する可変長パケット送信部を有することを特徴とする可変長パケットスイッチを提供する。

【0009】また、本発明においては、前記受信インターフェース部は、送信処理が行われる送信インターフェース部が同一である可変長パケットの種別をさらに識別し、可変長パケットの種別毎にさらに異なるヘッダ値を有するセルに多重して前記スイッチ部に転送することができる。さらに、本発明においては、スイッチ部に収容された上位レイヤ機能部をさらに備え、前記受信インターフェース部は、受信セルを分解して、受信セルに多重される可変長パケットを分離し、送信処理が行われる前記上位レイヤ機能部が同一である可変長パケットを、同一のヘッダ値のセルに多重して前記上位レイヤ機能部に転送することができる。

【0010】

【発明の実施の形態】図1は、本発明に係る可変長パケットスイッチの第1の実施の形態の構成図である。図1は、特にCPSパケットを交換するスイッチの構成を示すものであり、スイッチ部100と複数のインターフェース部110-1～110-Nを備える。以下の説明では、可変長パケットとしてCPSパケットについて説明するが、本発明は、これに限らず適宜の可変長パケットについて適用することができる。

【0011】スイッチ部100は、ATMセルを交換するスイッチであり、ATMセルのヘッダ内の特定の領域を参照しセルの出力方路を決定する。インターフェース部11

0-1～Nは、物理レイヤ処理部111-1～NとATMレイヤ処理部112-1～NとCPSパケット処理部113-1～Nを備える。物理レイヤ処理部111-1は、伝送路より入力する信号を終端し、伝送路のフレームよりATMセルを分離しATMレイヤ処理部112-1～Nに転送する。また、反対にATMレイヤ処理部112-1～Nより転送されるATMセルを伝送路上のフレームに搭載し出力する。より具体的には、ATMレイヤ処理部112-1～Nは、物理レイヤ処理部111-1～Nにより抽出されたATMセルのヘッダに搭載されているVPI/VCI（仮想パス識別子／仮想チャネル識別子、Virtual Pass Identifier / Virtual Channel Identifier）を解析し、装置内部でのATMセルのヘッダに変換し、CPSパケット処理部113-1～Nに転送する。また、CPSパケット処理部113-1～NからのATMセルヘッダより、伝送路上のVPI/VCIを求めるATMセルの所定領域に搭載し物理レイヤ処理部111-1～Nを介して伝送路に出力する。

【0012】CPSパケット処理部113-1～Nは、ATMレイヤ処理部112-1～Nにおいて処理されたATMセルを分解し、内部に多重されているCPSパケットを抽出し、CPSパケットのヘッダ部に搭載されているCIDとATMレイヤ処理部112-1～Nにより付与された装置内のセルヘッダによりパケットの出力方路となるインターフェース部110-1～Nを判別する。この時、CPSパケットの出力方路が同一となるものについては、伝送路上のCPSパケットヘッダのCIDを装置内のパケットヘッダのCIDに変換後、ひとつのATMセルに多重してスイッチ部100に送出する。反対にスイッチ部100を介して対向するインターフェース部110-1～110-Nより転送されるATMセルに対しては、セルを分解し搭載されている複数のCPSパケットを抽出し、装置内のパケットヘッダのCIDを伝送路上のCPSパケットヘッダのCIDに変換し、ATMセルに再多重してATMレイヤ処理部112-1～Nに転送する。

【0013】図1において経路131、132は、CPSパケットの装置内での転送経路の一例を示したものである。ここで、経路131、132は、同一のVCコネクション多重されても、異なるVCコネクションに多重されていても動作については変わらない。インターフェース部111-1に入力されるATMセルは、物理レイヤ処理部111-1で物理レイヤのフレームより抽出され、ATMレイヤ処理部112-1においてVPI/VCIの解析/変換が行われる。さらに、CPSパケット処理部113-1では、ATMセルを分解し、CPSパケットを抽出する。抽出されたCPSパケットは、装置内のCIDが付与され出力方路となるインターフェース部110-1～N毎に設定される装置内のVCコネクションに多重され、スイッチ部100に転送される。なお、装置内のセルヘッダにより識別されるVCコネクションを装置内VCコネクションと称することにする。

【0014】図1においては、経路131はインターフェー

ス部110-1及び110-2間、経路132はインタフェース部110-1及び110-N間で、それぞれCPSパケットを転送する例を示している。CPSパケット処理部113-1においては、経路131についてはインタフェース部110-2を出力方路とする装置内VCコネクションに、経路132についてはインタフェース部110-Nを出力方路とする装置内VCコネクションに、分離されたCPSパケットをそれぞれ多重して出力する。スイッチ部100は、インタフェース部110-1からのATMセルを出力方路であるインタフェース部110-2、110-Nに転送する。インタフェース部110-2、110-Nにおける処理は同一であるので、一例として、インタフェース部110-2を用いてその処理を説明する。CPSパケット処理部113-2では、スイッチ部100より転送されるATMセルを分解して、CPSパケットを抽出し、CPSパケットヘッダより装置内のCIDを解析し、伝送路上のCIDに変換する。また、このときCPSパケットが多重される装置内VCコネクションを判定し、該当するVCコネクションに対してCPSパケットを多重する。CPSパケット処理部113-2において生成されたATMセルは、ATMレイヤ処理部112-2において伝送路上のVPI/VCIが付与され、物理レイヤ処理部111-2において物理レイヤの処理が行われ、伝送路上にフレームに搭載され伝送路に出力される。以上のようにして、各インタフェース部110-1~Nより入力されたCPSパケットは交換され、出力方路となるインタフェース部101-1~Nより出力される。

【0015】つぎに、上述の装置内のヘッダ及びコネクションの扱いについて示す。図2は、第1の実施の形態における装置内のコネクションの設定状態の第1の例を示す図である。図1と図2との対応としては、インタフェース部110-1~Nについて、入力側210-1~N及び出力側310-1~Nが示される。また、ATMレイヤ処理部112-1~Nについて、セル受信部212-1~N及びセル送信部312-1~Nを示している。同様に、CPSパケット処理部113-1~Nについて、CPSパケット受信部213-1~N及びCPSパケット送信部313-1~Nを示している。

【0016】図2では、インタフェース部の入力側210-1に対して(VPI, VCI, CID)=(10, 40, 10)、(10, 40, 11)、(11, 41, 12)、(11, 41, 13)の組み合わせで表現される4本のAAL2レベルのコネクション501、502、503、504を設定した例を示している。以下、AAL2レベルのコネクションを単にコネクションを称することにする。同様に、インタフェース部の入力側210-Nには(VPI, VCI, CID)=(20, 50, 20)、(20, 50, 21)、(21, 51, 22)、(21, 51, 23)で指定されるコネクション505、506、507、508が設定されている。また、インタフェース部の出力側310-1に対しては、(VPI, VCI, CID)=(30, 60, 31)、(30, 60, 32)、(31, 61, 33)、(31, 61, 34)の4本のコネクション521、522、523、524が、インタフェース部の出力側310-Nに対しては、(VPI, VCI, CID)=(40, 70, 41)、(40, 70, 42)、(41, 71, 43)、(41, 71, 44)に

より指定されるコネクション525、526、527、528が設定されている。上述の例は、インタフェース部の入力側210-1、201-Nとインタフェース部の出力側310-1、310-Nにそれぞれ4本のコネクションが設定された構成を示しているが、コネクションの設定本数とその(VPI, VCI, CID)の組み合わせは、ハードウェア的なテーブル等の制限により規定される範囲内で任意の組み合わせを取ることが可能である。

【0017】以下、上述の例を用いて、装置内のCPSパケットの転送について示す。ここでは、典型的な装置内の転送を示すために、インタフェース部の入力側210-1に設定され、(VPI, VCI, CID)=(10, 40, 11)で指定されるコネクション502と、インタフェース部の入力側210-Nに設定され、(VPI, VCI, CI)=(20, 50, 21)で指定されるコネクション506を交換して、インタフェース部の出力側310-Nに設定され(VPI, VCI, CI)=(40, 70, 41)で指定されるコネクション525と、(VPI, VCI, CID)=(40, 70, 42)で指定されるコネクション526にそれぞれ出力する例を示す。

【0018】コネクション501はATMセル受信部212-1において、ATMセルヘッダの解析が行われ、(VPI, VCI)=(10, 40)よりH1=1が検索され、ATMセルのヘッダが変換される。これは、(VPI, VCI)=(10, 40)で指定されるVCコネクション401が、H1=1で指定される装置内VCコネクション411に変換されたことを意味する。H1は装置内で転送されるATMセルヘッダに搭載される値であり、以後装置内のATMセルヘッダに搭載される値をH1, H2, ...と表し、この値により装置内VCコネクションを指定することにする。また、装置内部で転送されるCPSパケットヘッダに付与されるCIDをh, h1, h2, ...と表し、装置内VCコネクションと同様に、この値により装置内コネクションを指定することにする。上述のATMセルヘッダの変換により、CPSパケット受信部213-1ではコネクション502は(H1, CID)=(1, 11)により指定される。CPSパケット受信部213-1では、(H1, CID)=(1, 11)の値より、スイッチ部100における装置内コネクション513を指定する(H2, h)=(2, 3)が検索され、CPSパケットヘッダ変換点582においてCPSパケットヘッダのCID値がh=3に変換される。つまり、(H1, CID)=(1, 11)により指定されるコネクション502が、(H2, h)=(2, 3)で指定される装置内コネクション513に変換されたことを意味する。更に、ヘッダ変換されたCPSパケットは、H2=2で指定される装置内VCコネクション422に多重され、スイッチ部100に転送される。

【0019】同様に、コネクション506は、セル受信部212-NによりATMセルヘッダの変換が行われ、CPSパケット受信部213-Nでは、変換されたATMセルヘッダとCPSパケットヘッダの値(H1, CID)=(3, 21)より(H2, h)=(4, 7)が検索され、CPSパケットヘッダのCIDがh=7に変換される。更に、H2=4で指定される装置内VCコネクション424に多重されスイッチ部100に転送される。スイ

ツチ部100では、上述のH2=2及びH2=4で指定される装置内VCコネクション422、424を出力方路である、インターフェース部の出力側310-Nに接続する。

【0020】インターフェース部の出力側310-NのCPSパケット送信部313-Nでは、H2=2とH2=4で指定される装置内VCコネクション422、424に対応するATMセルを分解し、CPSパケットを抽出する。更に、CPSパケットヘッダ変換点595、596において(H2, h)=(2, 3)、(4, 7)で指定されるコネクション513、517に対応するCPSパケットヘッダを変換する。CPSパケットヘッダ変換点595では(H2, h)=(2, 3)より(H3, CID)=(3, 41)を検索し、CPSパケットヘッダをCID=41に変換し、CPSパケットヘッダ変換点596では(H2, h)=(4, 7)より(H3, CID)=(3, 42)を検索しCPSパケットヘッダをCID=42とする。その後、H3=3で指定される装置内VCコネクション433に両コネクション525、526を多重してATMセル送信部312-Nに転送する。ATMセル送信部312-Nでは、装置内VCコネクション433のATMセルヘッダH3=3より、(VCI, VP)=(40, 70)を検索し、ATMセルヘッダを付与して出力する。

【0021】以上のようにして、(VPI, VCI, CI)=(10, 40, 11)により指定されるコネクション502と、(VPI, VCI, CI)=(20, 50, 21)により指定されるコネクション506は交換され、それぞれ(VPI, VCI, CI)=(40, 70, 41)により指定されるコネクション525と(VPI, VCI, CI)=(40, 70, 42)により指定されるコネクション526として出力される。

【0022】つぎに、図3は、第1の実施の形態における装置内のコネクションの設定状態の第2の例を示す図である。以下に、スイッチ部100により接続される装置内VCコネクション内に、複数の装置内コネクションが多重されている例を説明する。ここでは、インターフェースの入力側210-1に設定され、(VPI, VCI, CID)=(10, 40, 11)、(11, 41, 13)で指定されるコネクション502, 504について考える。

【0023】上述と同様に、コネクション502を含むVCコネクション401は、ATMセル受信部212-1においてATMセルのヘッダ変換が行われ、H1=1で指定される装置内VCコネクションとして転送される。これにより、CPSパケット受信部213-1において、コネクション502は(H1, CID)=(1, 11)として識別される。コネクション504についても同様の過程により、CPSパケット受信部213-1において、(H1, CID)=(2, 13)により指定されることになる。(H1, CID)=(1, 11)で指定されるコネクション502は、CPSパケットヘッダ変換点582において、(H1, CID)=(1, 11)の値より、装置内コネクション513を指定する(H2, h)=(2, 3)の値が検索され、CPSパケットヘッダ変換点582においてCPSパケットヘッダのCID値がh=3に変換される。同様に、(H1, CID)=(2, 13)により指定されるコネクション504は、CPSパケットヘッダ変換点584において、(H2, h)=(2, 4)で指定される装置内コネクション

514に変換される。更に、装置内コネクション513、514は、装置内VCコネクション422に多重され、スイッチ部100に転送される。

【0024】装置内コネクション513、514の接続先であるインターフェースの出力側310-Nでは、前述した例と同様の処理が行われる。最終的に装置内コネクション513は、(VPI, VCI, CID)=(40, 70, 41)で指定されるコネクション525に、装置内コネクション514は、(VPI, VCI, CID)=(41, 71, 43)で指定されるコネクション527接続される。ここで、装置内VCコネクション422に着目した場合、装置内コネクション513と共に装置内コネクション514が多重されている点を強調しておく。これは、スイッチ部100で交換されるATMセルのペイロードに複数のCPSパケットが多重されることを示しており、ATMセルのペイロード領域を有効活用していることになる。これによりスイッチ部100の容量を効率的に使用可能となる。

【0025】つぎに、ATMセル、CPSパケットの処理について示す。図4は、ATMセル受信部212及びCPSパケット受信部213の構成図を示す。図5は、ATMセル送信部312及びCPSパケット送信部313の構成図を示す。また、図6(a)及び(b)は、それぞれ、ATMセル受信部212で使用するATMセルヘッダ変換テーブル1201及びCPSパケット受信部213で使用するCPSパケットヘッダ変換テーブル1301の説明図を示し、図7(a)及び(b)は、それぞれ、ATMセル送信部312で使用するATMセルヘッダ変換テーブル1251及びCPSパケット送信部313で使用するCPSパケットヘッダ変換テーブル1351の説明図を示す。ここで、図6のATMセルヘッダ変換テーブル1201及びCPSパケットヘッダ変換テーブル1301は、図2又は図3のようにコネクションを設定した場合に、インターフェース部の受信側210-1におけるテーブルの設定状態を例示したものである。また同様に、図7は、その場合のインターフェースの送信側310-NにおけるATMセルヘッダ変換テーブル1251及びCPSパケットヘッダ変換テーブル1351の設定状態を示している。

【0026】まず、伝送路からスイッチ部100の方向の信号の流れについて示す。ATMセル受信部212はATMセルヘッダ変換部1202とATMセルヘッダ変換テーブル1201を備える。ATMセルヘッダ変換部1202においては、入力するATMセルヘッダよりVPI/VCIを抽出し、ATMセルヘッダ変換テーブル1202にアクセスし、装置内のATMセルに搭載するためのヘッダ値を検索する。ATMセルヘッダ変換テーブル1201は、伝送路上のATMセルに搭載されるVPI/VCI値を登録する(VPI, VCI)と、ヘッダ変換後の装置内ヘッダ値を搭載するためのH1とを対応づけて記憶している。ATMヘッダ変換部1202は、ATMセルヘッダより抽出した(VPI, VCI)を検索キーとして、ATMセルヘッダ変換テーブル1201を検索し、装置内ヘッダH1を求めATMセルヘッダの変換を行う。た

とえば(VPI, VCI)=(10, 40)で指定されるVCコネクションに対しては、ATMセルヘッダ変換テーブル1201の(VPI, VCI)=(10, 40)となる領域1221を検索し、これに対応する1231に登録されているH1=1を装置内ヘッダとしてヘッダ変換を行う。ヘッダ変換テーブルは、単なるメモリと検索論理により構成しても、CAM(Content Address Memory)などと呼ばれる、検索機能も内在するようなメモリを用いてもよい。

【0027】CPSパケット受信部213は、CPSパケットヘッダ変換テーブル1301とATMセル分解部1302とCPSパケットヘッダ変換部1303とCPSパケット振分け部1304とセル組み立てバッファ1305とATMセル多重部1306とATMセル読み出し制御部1309を備える。ATMセル分解部1302では、ATMセルを分解し、内部に搭載されるCPSパケットを分離し、CPSパケットヘッダ変換部1303に転送する。この時、分解前のATMセルヘッダに搭載される装置内ヘッダ値H1も、CPSパケットと同時にCPSパケットヘッダ変換部1303に転送路1322を介して転送する。CPSパケットヘッダ変換部1303は、CPSパケットヘッダ変換テーブル1301をアクセスし、装置内のCPSパケットに搭載するCPSパケットヘッダ値と、CPSパケットが多重される装置内VCコネクションのATMセルヘッダ値を求める。

【0028】CPSパケットヘッダ変換テーブル1301は、装置内のATMセルヘッダ値H1及び、CPSパケットのCID値を登録する(H1, CID)と、変換後の装置内ATMセルヘッダ値H2及び装置内のCPSパケットヘッダ値hを登録する(H2, h)とを対応づけて記憶する。CPSパケットヘッダ変換部1303は、ATMセルヘッダ変換部1202と同様にして、(H1, CID)を検索キーとしてCPSパケットヘッダ変換テーブルをアクセスし、(H2, h)を求め、CPSパケットヘッダをhに変換し、CPSパケット振分け部1304に転送する。この時、H2の値についてもCPSパケット振分け部1304に、転送路1321を介して転送する。CPSパケット振分け部1304は、H2によりCPSパケットを多重する装置内VCコネクションを判定し、ATMセル組み立てバッファ1305にCPSパケットを転送する。ATMセル組み立てバッファ1305では、順次蓄積されるCPSパケットをH2単位のバッファ1311～1314に多重し、ATMセルを組み立てる。ATMセル多重部1306では、バッファ1311～1314において組み立てられたATMセルを多重して、スイッチ部100に転送する。

【0029】このとき、ATMセル多重部1306からのATMセルの読み出しが、ATMセル読み出し制御部1309により制御される。ATMセル読み出し制御部1309は、ある定められたアルゴリズムにより、ATMセルを読み出すべきキューレジストリ1311～1314を指定し、ATMセル多重部1306を制御することにより、スイッチ部100に対して送出するATMセルの読み出しを制御する。ここで、定められたアルゴリズムとは、例えば、固定的スケジュ

ラ、閾値によるキュー監視、キュー単位のタイマー監視、品質クラス(QoS (Quality of Service) 等)によるキュー監視などがある。固定スケジューラとは、定められた順番に従い順次キュー1311～1314からATMセルを読み出す制御である。閾値によるキュー監視は、キュー1311～1314に蓄積されるCPSパケットの量を常に監視して、一定量を超えた場合にATMセルとして出力する制御方式である。例えば、ATMセルのペイロードの半分が充填された時点でATMセルを出力する様な方法がこれに当たる。この場合、ATMセルのペイロードの半分を満たすCPSパケットの数が閾値となる。また、キュー単位のタイマー監視とは、CPSパケットがキュー1311～1314に滞留する時間を監視し、ある一定時間内にATMセルが充填された場合、即時的にATMセルを出力し、一定時間を超えた場合強制的にATMセルを組み立てて出力する方法である。なお、品質クラスによるキュー監視とは、例えば、品質クラスに応じてATMセルを出力等する方法である。いずれの場合も、ATMセルをCPSパケットで充填できない場合は、ダミーのデータを挿入することでATMセルを充填することができる。上述のようなアルゴリズムは、スイッチ部100における遅延、スイッチ部100の使用効率の要求条件より決定することになる。

【0030】つぎに、スイッチ部100から伝送路の方向の信号の流れについて説明する。CPSパケット受信部313は、CPSパケットヘッダ変換テーブル1351とATMセル分解部1352とCPSパケットヘッダ変換部1353とCPSパケット振分け部1354とセル組み立てバッファ1355とATMセル多重部1356とATMセル読み出し制御部301309を備える。

【0031】ATMセル分解部1352は、スイッチ部100より転送されるATMセルを分解し、CPSパケットを抽出し、CPSパケットヘッダ変換部1353に転送する。この時、装置内のATMセルヘッダ値H2に関しても、転送路1372を介してCPSパケットヘッダ変換部1353に転送する。CPSパケットヘッダ変換部1353はCPSパケットヘッダ変換テーブル1351をアクセスし、伝送路上のCPSパケットに搭載するCPSパケットヘッダ値と、CPSパケットが多重される装置内VCコネクションのATMセルヘッダ値を求める。

【0032】CPSパケットヘッダ変換テーブル1351は、装置内のATMセルヘッダ値H2と、装置内のCPSパケットヘッダ値hを登録する(H2, h)と、変換後の装置内ATMセルヘッダ値H3と伝送路上のCPSパケットヘッダ値を登録する(H3, CID)より構成される。CPSパケットヘッダ変換部1353は、(H2, h)を検索キーとしてCPSパケットヘッダ変換テーブルをアクセスし、(H3, CID)を求め、CPSパケットヘッダをCIDに変換し、CPSパケット振分け部1354に転送する。CPSパケット振分け部1354は、CPSパケットと同時に1371を介して転送されるH3

の値により、CPSパケットを多重するVCコネクションを判定し、ATMセル組み立てバッファ1355にCPSパケットを転送する。ATMセル組み立てバッファ1355では、順次蓄積されるCPSパケットをH3単位のバッファ1361～1364に多重し、ATMセルを組み立てる。ATMセル多重部1356では、バッファ1361～1364において組み立てられたATMセルを多重して、ATMセル送信部312に転送する。ATMセル多重部1356からのATMセルの読み出しへは、ATMセル読み出し制御部1359により制御される。CPSパケットをATMセルに多重して、伝送路上に送出する場合は、一般に上述のキュー単位のタイマー監視の方式が用いられる。なお、この場合、上述のような他の適宜のアルゴリズムを用いても良い。

【0033】ATMセル送信部312は、ATMセルヘッダ変換部1252とATMセルヘッダ変換テーブル1251を備える。ATMセルヘッダ変換部1252においては、入力するATMセルヘッダよりH3を抽出し、ATMセルヘッダ変換テーブル1252にアクセスし、伝送路上のATMセルに搭載するVPI/VCIを検索する。ATMセルヘッダ変換テーブル1251は、装置内のATMセルに搭載されるセルヘッダ値H3を登録するH3と、伝送路上のVPI/VCIを搭載するための(VPI, VCI)を対応づけて記憶する。ATMヘッダ変換部1252は、ATMセルヘッダより抽出したH3を検索キーとして、ATMセルヘッダ変換テーブル1251にアクセスし、伝送路上のVPI/VCIを求めATMセルヘッダに付与する。以上のように、ATMセル及びCPSパケットの処理が行われる。

【0034】図8は、本発明に係る可変長パケットスイッチの第2の実施の形態の構成図である。図8は、上述の図1のCPSパケットを交換するスイッチに対して、CPSパケットのペイロードに搭載される信号を加工するための、上位レイヤ処理機能部120-1～Mを付加した構成である。上位レイヤ処理機能部120-1～Mは、CPSパケットの分離・多重を行うCPSパケット処理部121-1～MとCPSパケットペイロードの信号を加工するための上位レイヤ処理部122-1～Mを備える。この実施の形態では、インタフェース部110-1～Nの任意の1つに入力されるCPSパケットのペイロードに搭載される情報を加工し、再びCPSパケットを生成し、インタフェース部110-1～Nの任意の1つに出力することができる。たとえば、CPSパケットに搭載される音声信号の符号化方式の変換、暗号化・複合化、圧縮・伸長、プロトコル変換、メディア変換、各種サービス処理などが対象となる。

【0035】図8において、経路135、136は、CPSパケットの装置内での転送経路の例を示したものである。経路135は、インタフェース部110-1において、第1の実施の形態と同一の処理を行った後、スイッチ部100を介して、上位レイヤ処理機能部120-1に接続される。CPSパケット処理部121-1では、ATMセルよりCPSパ

ケットを分離し、上位レイヤ処理部122-1においてCPSパケットペイロードの処理を行い、再びCPSパケット処理部121-1においてCPSパケットをATMセルに多重し、スイッチ部100を介して、インタフェース部110-2に転送する。インタフェース部110-2では、第1の実施の形態と同様の処理が行われ、伝送路に出力される。経路136は、インタフェース部110-1、スイッチ部100、上位レイヤ処理機能部120-M、インタフェース部110-Mの順でCPSパケットが処理される例を示したものである。

【0036】図9は、第2の実施の形態における装置内のコネクションの設定状態の一例を示す図である。図8と図9との対応としては、第1の実施の形態と同様に、インタフェース部110-1について、入力側210-1及び出力側310-1が表現されている。また、ブロック250-1～Mは、上位レイヤ機能部121-1～Mを示しており、CPSパケット送信部251-1～M、CPSパケット受信部351-1～M、上位レイヤ処理部252-1～M、さらに、CPSパケットペイロード処理を行うCPSパケットペイロード処理部260-1～Mが示されている。

【0037】図9では、インタフェース部の入力側210-1に対して(VPI, VCI, CID)=(10, 40, 10)、(10, 40, 11)、(11, 41, 12)、(11, 41, 13)により指定される4本のコネクション701、702、703、704を設定し、インタフェース部の出力側310-1に対しては、(VPI, VCI, CID)=(30, 60, 31)、(30, 60, 32)、(31, 61, 33)、(31, 61, 34)により指定される4本のコネクション751、752、753、754が設定された例を示している。

【0038】以下に、インタフェース部の入力側210-1に設定されたコネクション701をインタフェース部の出力側310-1に設定されたコネクション753に接続する構成を一例として示す。インタフェース部の入力側210-1、スイッチ部100、インタフェースの出力側310-1の動作は第1の実施の形態と同様である。(VPI, VCI, CID)=(10, 40, 10)で指定されるコネクション701が多重されているVCコネクション601は、(VPI, VCI)=(10, 40)よりH1=1で指定される装置内コネクション611に変換される。これにより、CPSパケット受信部213-1においては、コネクション701は(H1, CID)=(1, 10)により指定され、CPSパケットヘッダ変換点761において(H2, h2)=(1, 1)で指定される装置内コネクション711に変換され、スイッチ部100を介して上位レイヤ機能部250-1に接続される。

【0039】上位レイヤ機能部250-1のCPSパケット送信部251-1では、CPSパケットヘッダ変換点771において、(H2, h2)=(1, 1)で指定される装置内コネクション711を、(H3, h3)=(1, 1)で指定される装置内コネクション721に変換して、上位レイヤ処理部252-1のCPSパケットペイロード処理部260-1に接続する。CPSパケットペイロード処理部260-1では、CPSパケットペイロードを加工し、736を介して(H4, h4)=(2, 4)で指定される装

置内コネクション732としてCPSパケット受信部351-1に接続する。CPSパケット受信部351-1は、(H4, h4)=(2, 4)で指定される装置内コネクション732を、CPSパケットヘッダ変換点782において、(H5, h5)=(3, 6)で指定される装置内コネクション742に変換し、スイッチ部100を介してインターフェース部の送信側310-1に接続する。インターフェース部の送信側310-1のCPSパケット送信部313-1では、CPSパケットヘッダ変換点793において、(H5, h5)=(3, 6)で指定される装置内コネクション742を(H6, CID)=(2, 33)で指定されるコネクション753に変換して、ATMセル送信部312-1に接続する。ATMセル送信部312-1では、コネクション753が多重されたH6=2により指定される装置内VCコネクション662を、(VCI, VPI)=(31, 61)で指定されるVCコネクション672に変換する。

【0040】同様に、インターフェース部110-1～Nに設定される任意のコネクションに対して、CPSパケットペイロードの処理を行い、インターフェース部110-N上に設定される任意のコネクションに出力できる。以上のようにして、第1の実施の形態に対して、CPSパケットのペイロード部の処理を加える第2の実施の形態を実現する。

【0041】図10は、本発明に係る可変長パケットスイッチの第3の実施の形態の構成図である。図1と図10との対応としては、インターフェース部110-1～Nについて、入力側210及び出力側310が示される。インターフェース部110-1～Nの入力側210は、ATMセル受信部212とCPSパケット受信部213を備え、インターフェース部110-1～Nの出力側310は、ATMセル送信部312とCPSパケット送信部313を備える。また、スイッチ部100がインターフェース部110-1～Nの入力側210と出力側310の間に設けられる。第1の実施の形態では、インターフェース部の入力側210に設定される複数のコネクションの接続先となるインターフェース部の出力側310が同一である場合、複数のコネクションをひとつの装置内VCコネクションに多重して、スイッチ部100を通過させている。一方、第3の実施の形態では、スイッチ部100を介して転送されるCPSパケットの性質に応じて、多重する装置内VCコネクションを変えて、スイッチ部100を通過させることを特徴としている。これにより、性質の異なるCPSパケット間の干渉を制御することが可能となる。

【0042】図10は、一例としてCPSパケットヘッダの一部であるUUIと呼ばれる領域の値の違いにより、スイッチ部100を介して接続する装置内VCコネクションを変更する構成を示す図である。ここでは、例としてUUIを用いるが、CID、LIなど他の領域又はデータにより、接続する装置内VCコネクションを判定しても同様である。図10では、インターフェース部の入力側210に(VPI, VCI, CID)=(10, 40, 10)、(10, 40, 11)で指定されるコネクション901、902が設定され、インターフェース部の入力側310に(VPI, VCI, CID)=(30, 60, 31)、(30, 60, 32)で指定さ

れるコネクション921、922が設定された図を示している。また、一例としてCPSパケットは、UUI=20のものと、それ以外では要求品質が異なるものとする。

- 【0043】以下、(VCI, VPI, CID)=(10, 40, 10)で指定されるコネクション901を一例として説明する。ATMセル受信部212において(VPI, VCI)=(10, 40)で指定されるVCコネクション801は、H1で指定される装置内VCコネクション811に変換される。これにより、コネクション901は、CPSパケット受信部213において(H1, CID)=(1, 10)として指定され、CPSパケットヘッダ変換点981において、(H2, h)により指定される装置内コネクションに変換される。この時、CPSパケットヘッダのUUI領域を識別し、多重する装置内VCコネクション821、822を区別する。UUI領域が20以外の場合は、H2=1の装置内VCコネクション821に多重され、(H2, h)=(2, 1)で指定される装置内コネクション911に変換される。また、UUI領域が20の場合、H2=11により指定される装置内VCコネクション822に多重され、(H2, h)=(11, 1)で指定された装置内コネクション913に変換される。スイッチ部100を介して、CPSパケットを受信するCPSパケット受信部313では、(H2, h)=(1, 1)により指定される装置内コネクション911と、(H2, h)=(11, 1)で指定される装置内コネクション913を、CPSパケットヘッダ変換点991において(H3, CID)=(1, 31)で指定されるコネクション921に変換する。ここで、装置内コネクション911、913が同一のコネクション921に変換されることを強調しておく。更に、ATMセル送信部312においては、H3=1により指定される、装置内VCコネクション831は、(VPI, VCI)=(30, 60)で指定されるVCコネクション841に変換される。以上により、(VPI, VCI, CID)=(10, 40, 10)で指定されるコネクション901は、UUI値による制御を行った上で、(VPI, VCI, CID)=(30, 60, 32)で指定されるコネクション921に接続される。
- 【0044】また、図11は、CPSパケット受信部213で使用するCPSパケットヘッダ変換テーブル1401の説明図を示し、図12は、CPSパケット送信部313で使用するCPSパケットヘッダ変換テーブル1451の説明図を示す。これらのテーブルは、例えば、図6及び図7に示すCPSパケットヘッダ変換テーブル1301及び1351を、第3の実施の形態において使用するために、変更することで実現可能である。CPSパケット受信部213では、受信したCPSパケットヘッダ、及びそれが多重されている装置内VCコネクション811のATMセルヘッダより、(H1, CID, UUI)を検索キーとしてCPSパケット変換テーブル1401にアクセスし(H2, h)を求める。上述の例では、(H1, CID, UUI)=(1, 10, ≠20)の登録領域1421を検索し、これに対応する(H2, h)の登録領域1431より(H2, h)=(1, 1)を求める。また(H1, CID, UUI)=(1, 10, 20)の登録領域1422を検索し、これに対応する(H2, h)の登録領域1432より(H2, h)=(11, 1)を求める。この値よりCPSパケットヘッダの変換及び多重する装置内VCコネクションを指

定する。CPSパケット受信部213の構成は、図4におけるCPSパケットヘッダ変換テーブル1301をCPSパケットヘッダ変換テーブル1401で置き換えたものに等しい。

【0045】CPSパケット送信部313の構成は、図5と同様である。CPSパケットヘッダ変換テーブル1451は、図5中のCPSパケットヘッダ変換テーブル1351と記憶内容が異なるものの、その構成及び動作は同様である。CPSパケット送信部313では、(H2, h)を検索キーとしてCPSパケット変換テーブル1451にアクセスし、(H3, CID)を求める。上述の例では、(H2, h)=(1, 1)の登録領域1471を検索し、これに対応する(H3, CID)の登録領域1481より(H3, CID)=(1, 31)を求め、一方、(H2, h)=(11, 1)の登録領域1473を検索し、これに対応する(H3, CID)の登録領域1483より(H3, CID)=(1, 31)を求める。これにより、CPSパケットヘッダの変換及び多重する装置内VCコネクションの指定を行う。

【0046】図13は、第3の実施の形態により転送されるCPSパケットの流れを示した説明図である。CPSパケット1501-1、1502-1、1503-1、1504-1、1505-1はUID≠20を示しており、CPSパケット1601-1、1602-1、1603-1はUID=20のCPSパケットを示している。また、これらは、H1=1で指定される装置内VCコネクション811に多重されている。スイッチ部100を通過する場合、UUI≠20のCPSパケット1501-2、1502-2、1503-2、1504-2、1505-2はH2=1で指定される装置内VCコネクション821に多重される。また、UUI=20のCPSパケット1601-2、1602-2、1603-2はH2=11で指定される装置内VCコネクション822に多重される。上述のCPSパケット1501-3、1502-3、1503-3、1504-3、1505-3、1601-3、1602-3、1603-3は最終的に、H3=1で指定される装置内VCコネクション831に多重されることになる。この時、UUI=20のCPSパケットとUUI≠20のCPSパケット間では順序関係が逆転する場合もあるが、UUI=20のCPSパケット1601-3、1602-3、1603-3のみ、又はUUI≠20のCPSパケット1501-3、1502-3、1503-3、1504-3、1505-3のみに着目した場合、順序関係が保存されることを強調しておく。また、スイッチ部100においてH2=1のATMセルが欠落したとしても、H2=11で指定される装置内VCコネクション822で転送されるUUI=20のCPSパケットには影響がない。

【0047】なお、上述した第1乃至第3の実施の形態は、適宜組み合わせができる。

【0048】

【発明の効果】上述のように、本発明によると、AAL2によるCPSパケットを交換する可変長スイッチにおいて、CPSパケットをATMセルに搭載してCPSパケットを交換する場合に、スイッチ部の容量を圧迫することのない効率的な可変長パケットスイッチを提供することができる。そして、本発明によると、ひとつのATM

セルにひとつのCPSパケットのみ搭載してスイッチングするのではなく、ひとつのATMセルに同一の出力方略となる複数のCPSパケットを多重して転送することにより、スイッチ部の必要帯域を低く押さえることができる。

【0049】また、本発明によると、特殊な種別のCPSパケットについては、インターフェース部により識別し、異なるコネクションとして区別してスイッチ部を通過させることにより、スイッチ部の必要帯域が圧縮されても、損失率などの転送品質をCPSパケットの性質ごとに制御することができる。

【図面の簡単な説明】

【図1】本発明に係る可変長パケットスイッチの第1の実施の形態の構成図。

【図2】第1の実施の形態における装置内のコネクションの設定状態の第1の例を示す図。

【図3】第1の実施の形態における装置内のコネクションの設定状態の第2の例を示す図。

【図4】ATMセル受信部212及びCPSパケット受信部213の構成図。

【図5】ATMセル送信部312及びCPSパケット送信部313の構成図。

【図6】ATMセル受信部212で使用するATMセルヘッダ変換テーブル1201及びCPSパケット受信部213で使用するCPSパケットヘッダ変換テーブル1301の説明図。

【図7】ATMセル送信部312で使用するATMセルヘッダ変換テーブル1251及びCPSパケット送信部313で使用するCPSパケットヘッダ変換テーブル1351の説明図。

【図8】本発明に係る可変長パケットスイッチの第2の実施の形態の構成図。

【図9】第2の実施の形態における装置内のコネクションの設定状態の一例を示す図。

【図10】本発明に係る可変長パケットスイッチの第3の実施の形態の構成図。

【図11】CPSパケット受信部213で使用するCPSパケットヘッダ変換テーブル1401の説明図。

【図12】CPSパケット送信部313で使用するCPSパケットヘッダ変換テーブル1451の説明図。

【図13】第3の実施の形態により転送されるCPSパケットの流れを示した説明図。

【図14】CPSパケットのフォーマット。

【符号の説明】

100 スイッチ部、110-1～N インタフェース部、111-1～N 物理レイヤ処理部

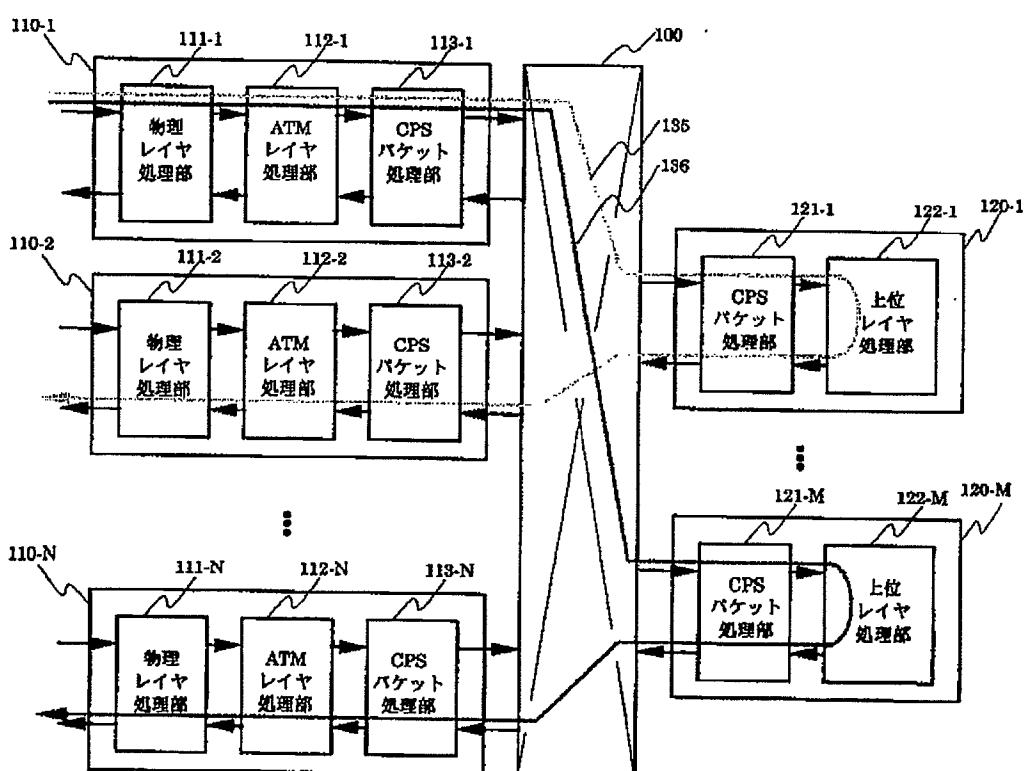
112-1～N ATMレイヤ処理部、113-1～N CPSパケット処理部、

120-1～M 上位レイヤ機能部、121-1～M CPSパケット処理部、

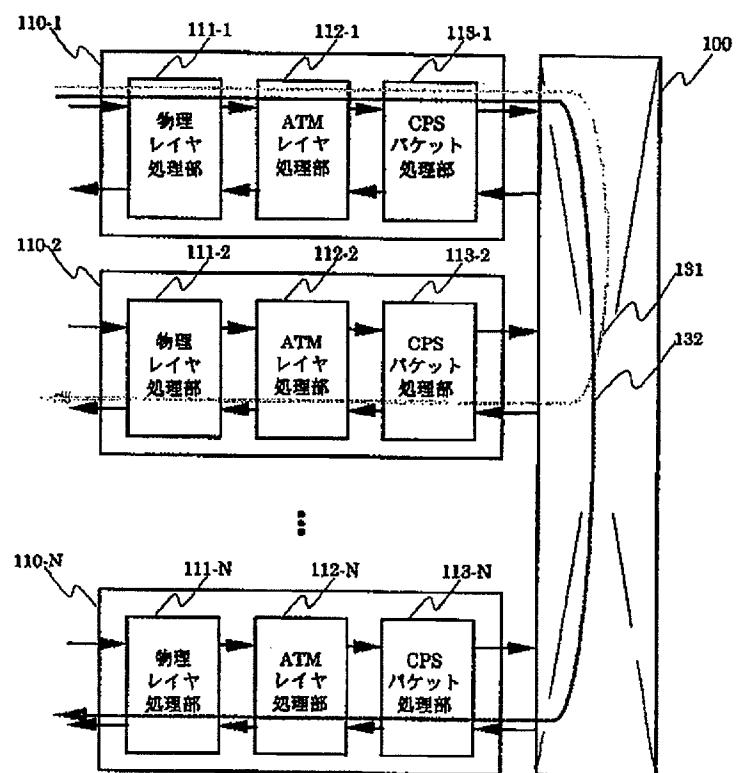
122-1～M 上位レイヤ処理部、
 210-1～N インタフェース部の受信側、212-1～N ATMセル受信部、
 213-1 CPSパケット受信部、
 251-1～M CPSパケット送信部、252-1～M 上位レイヤ処理部、
 260-1～M CPSパケットペイロード処理部、310-1～N
 　インターフェース部の送信側、312-1～N ATMセル送信部、
 313-1～N CPSパケット送信部、
 351-1～M CPSパケット受信部、
 401, 402, 403, 404, 441, 442, 443, 444 VCコネクション、
 411, 412, 413, 414, 421, 422, 423, 424, 431, 432, 433, 434
 装置内VCコネクション、
 501, 502, 503, 504, 505, 506, 507, 508, 521, 522, 523, 524, 52
 5, 526, 527, 528 コネクション、
 501, 502, 503, 504, 505, 506, 507, 508 装置内コネクション、
 581, 582, 583, 584, 585, 586, 587, 588, 591, 592, 593, 594, 59
 5, 596, 597, 598 CPSパケットヘッダ変換点、
 601, 602, 671, 672 VCコネクション、
 611, 612, 621, 622, 631, 632, 641, 642, 651, 652, 661, 662
 装置内VCコネクション、
 701, 702, 703, 704, 751, 752, 753, 754 コネクション、
 711, 712, 713, 714, 721, 722, 723, 724, 731, 732, 733, 734, 73
 5, 736, 737, 738, 741, 742, 743, 744, 741, 742, 743, 744 装

置内コネクション、
 761, 762, 763, 764, 771, 772, 773, 774, 781, 782, 783, 784, 79
 1, 792, 793, 794 CPSパケットヘッダ変換点、
 801, 841 VCコネクション、811, 821, 831 装置内VCコネクション、
 901, 902, 921, 922 コネクション、911, 912, 913, 914 装置内コネクション、
 981, 982, 991, 992 CPSパケットヘッダ変換点、
 1201, 1251 ATMセルヘッダ変換テーブル、1202, 1252
 10 ATMセルヘッダ変換部、
 1301, 1351 CPSパケットヘッダ変換テーブル、1302,
 1352 ATMセル分解部、
 1303, 1353 CPSパケットヘッダ変換部、1304, 1354
 CPSパケット振り分け部、
 1305, 1355 ATMセル組立バッファ、1306 ATMセル多重部、
 1309, 1359 ATMセル読み出し制御部、
 1401, 1451 CPSパケットヘッダ変換テーブル、
 1501-1～3, 1502-1～3, 1503-1～3, 1504-1～3, 1505-1～3
 20 CPSパケット(UUI≠20)、
 1601-1～3, 1602-1～3, 1603-1～3 CPSパケット(UUI=20)
 1700 CPSパケット、1701 CID領域、1702 LI領域、1703 UUI領域、
 1704 HEC領域、1705 CPS-INFO領域

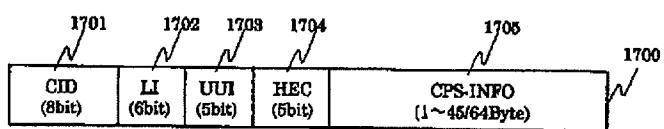
【図8】



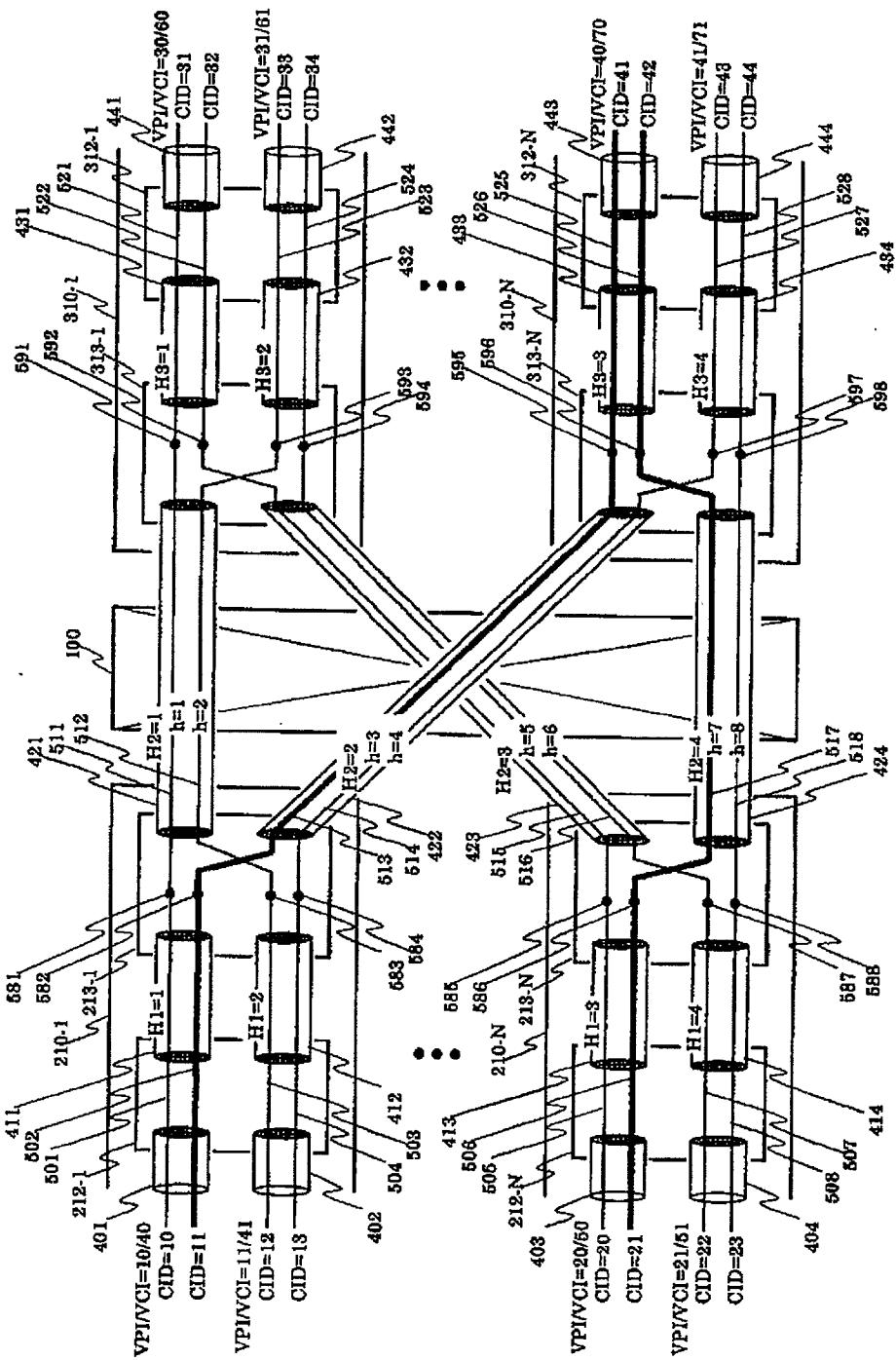
【図 1】



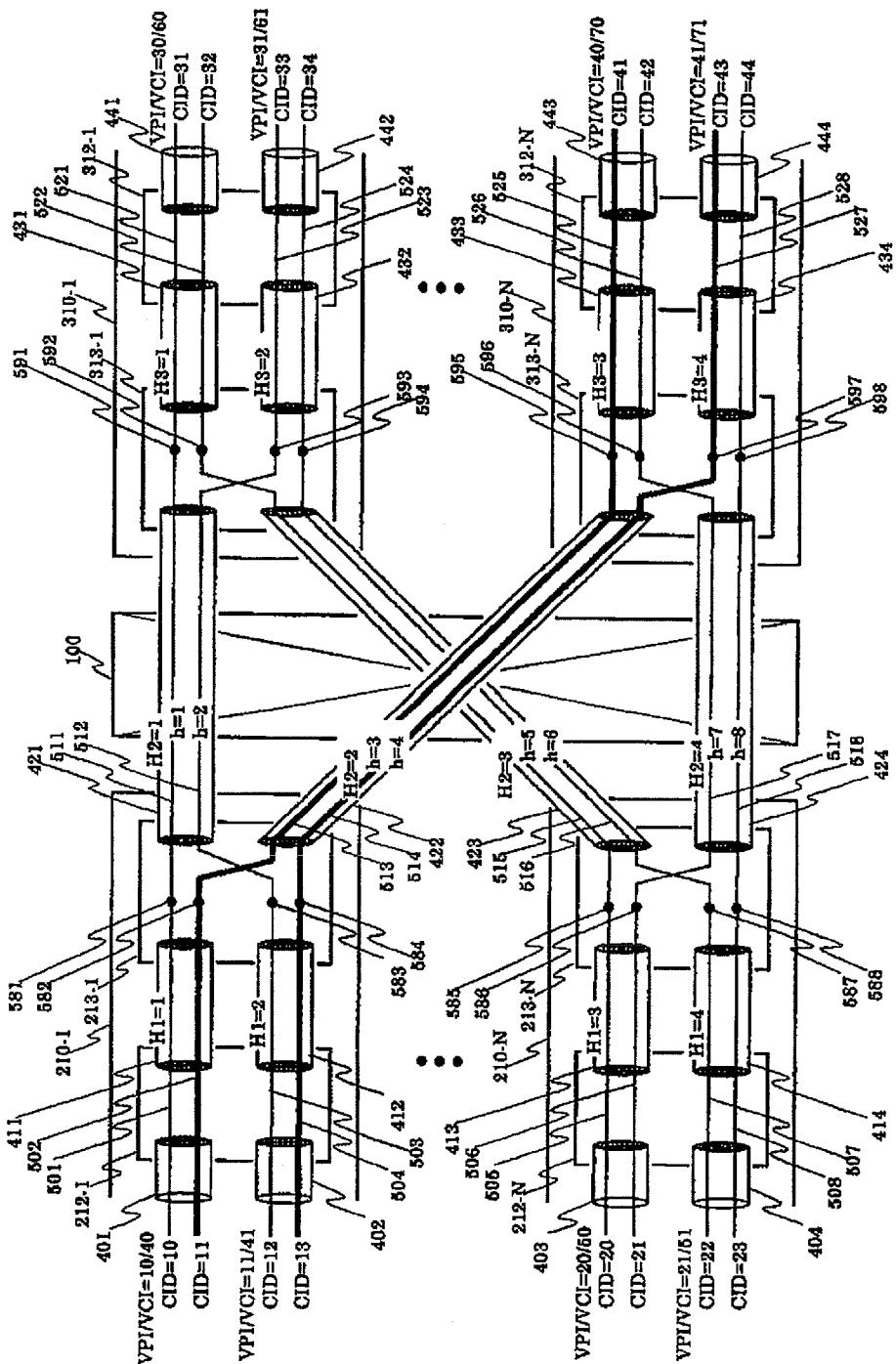
【図 14】



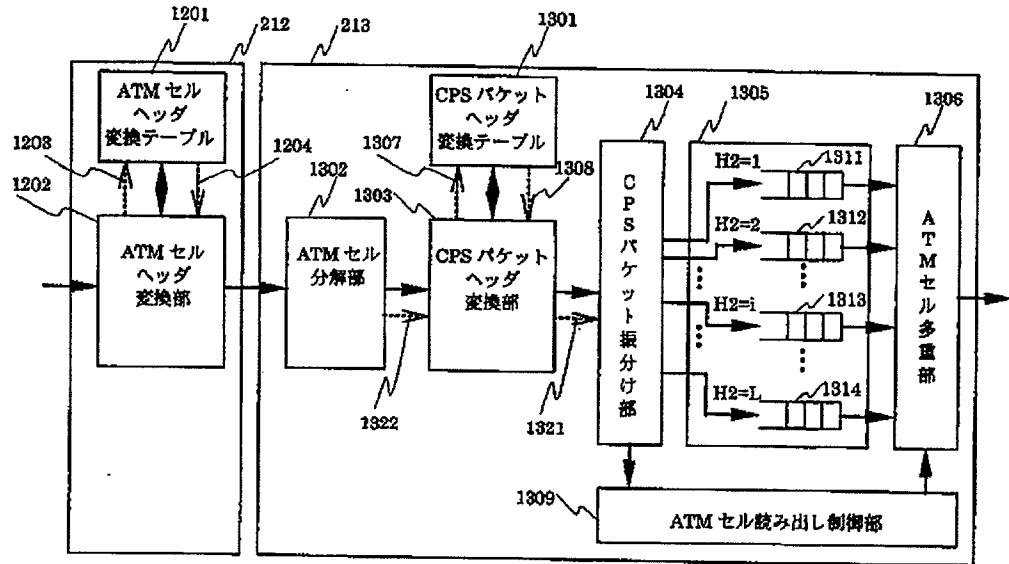
【図2】



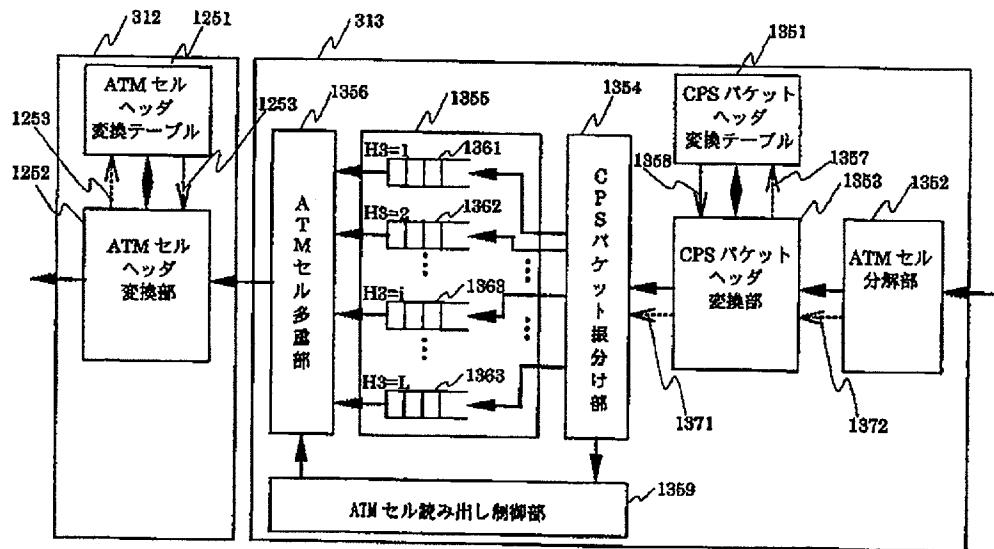
【図3】



【図4】



[図5]



【図6】

Diagram illustrating the connection between two tables, (a) and (b), through various lines labeled 1201, 1231, 1232, 1301, 1331, 1332, 1333, and 1334.

(VPI,VCI)	H1
⋮	⋮
(VPI,VCI)=(10,40)	H1=1
(VPI,VCI)=(11,41)	H1=2
⋮	⋮

(a)

(H1,CID)	(H2,h)
(H1,CID)=(1,10)	(H2,h)=(1,1)
(H1,CID)=(1,11)	(H2,h)=(2,3)
⋮	⋮
(H1,CID)=(2,12)	(H2,h)=(1,2)
⋮	⋮
(H1,CID)=(2,13)	(H2,h)=(2,4)

(b)

【図7】

Diagram illustrating two tables, (a) and (b), with associated numbers and arrows.

Table (a):

H3	(VPI,VCI)
⋮	⋮
H3=3	(VPI,VCI)=(40,70)
H3=4	(VPI,VCI)=(41,71)
⋮	⋮

Associated numbers: 1251, 1271, 1272, 1281, 1282.

Table (b):

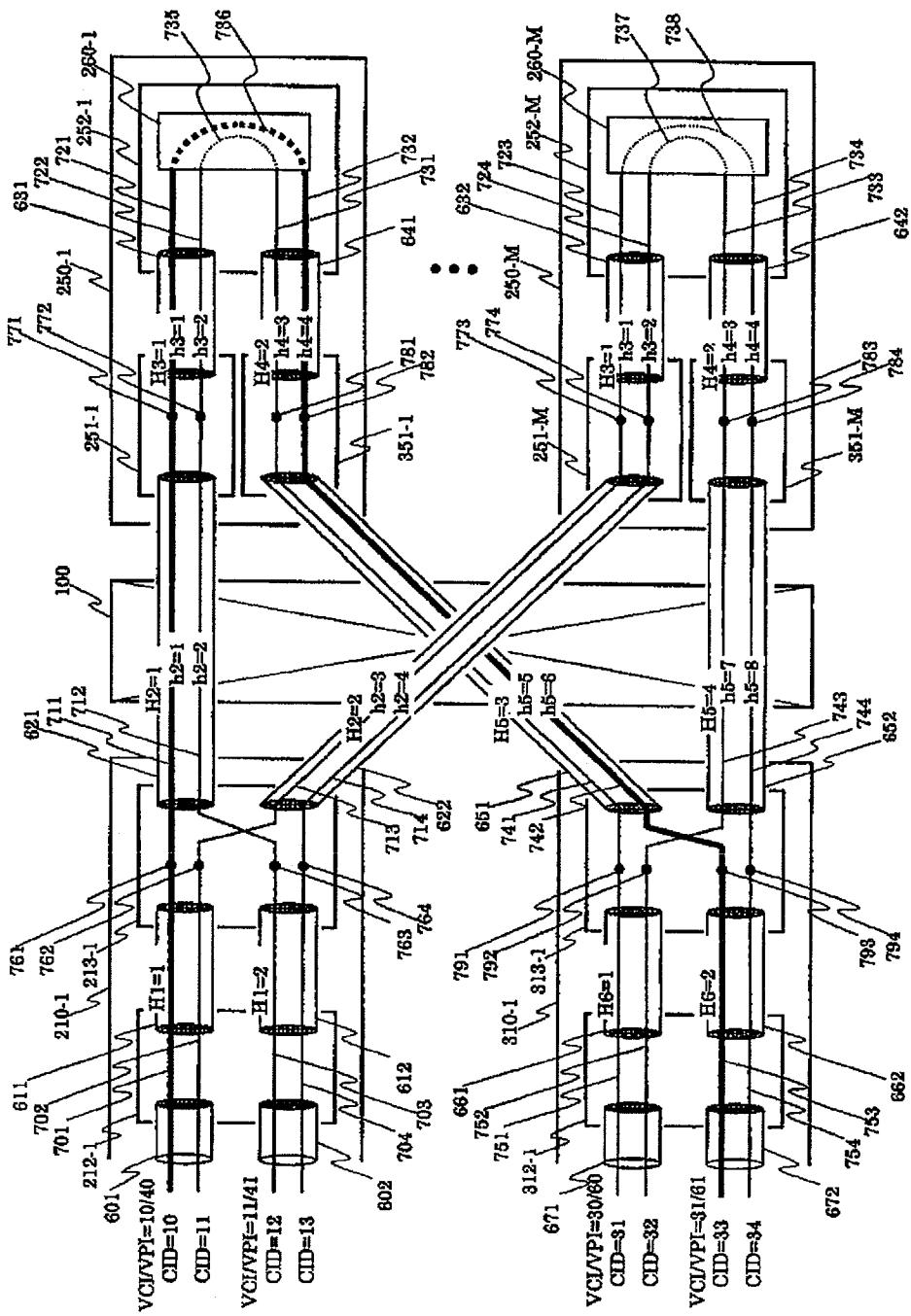
(H2,h)	(H3,CID)
(H2,h)=(2,3)	(H3,CID)=(3,41)
(H2,h)=(2,4)	(H3,CID)=(4,48)
⋮	⋮
(H2,h)=(4,7)	(H3,CID)=(3,42)
⋮	⋮
(H2,h)=(4,8)	(H3,CID)=(4,44)

Associated numbers: 1251, 1371, 1372, 1373, 1374, 1381, 1382, 1383, 1384.

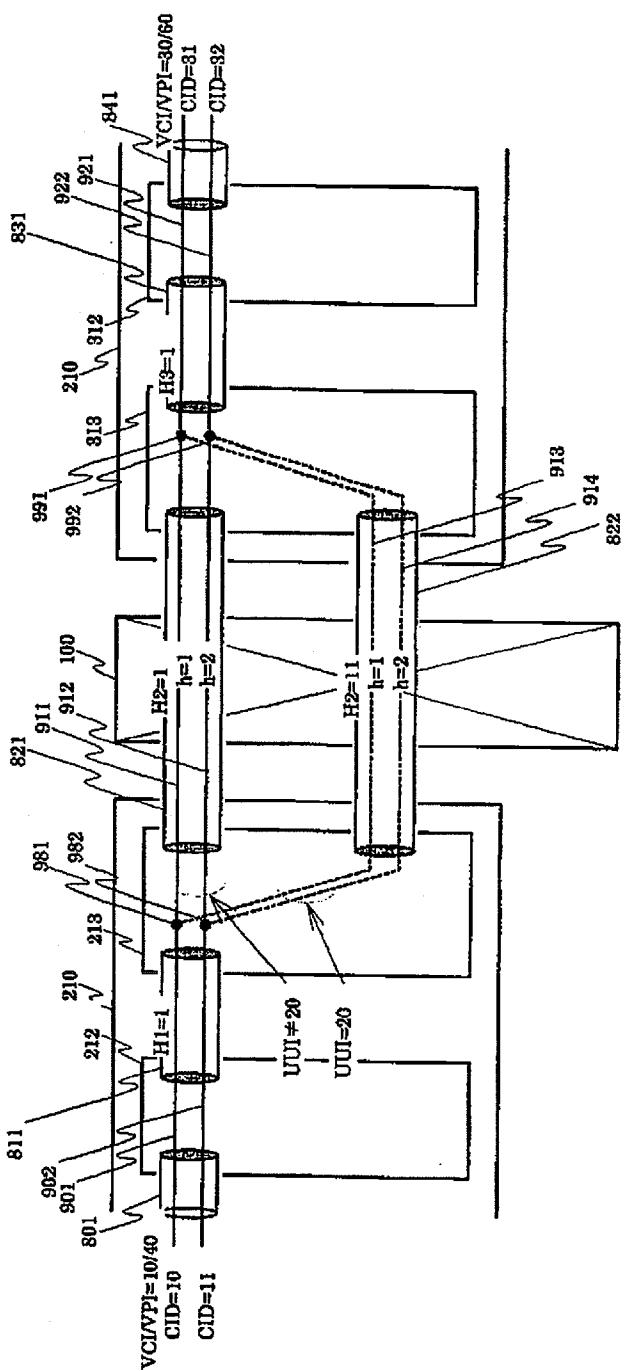
(a)

(b)

[圖 9]



【図10】



【図11】

The diagram illustrates a 4x2 grid of boxes, each containing specific conditions or pairs. The boxes are arranged in four rows and two columns. The first column contains boxes labeled 1421, 1422, 1423, and 1424 from top to bottom. The second column contains boxes labeled 1401, 1431, 1432, 1433, and 1434 from top to bottom. The grid structure is as follows:

(H1,CID,UUI)	(H2,h)
(H1,CID,UUI)=(1,10, $\neq 20$)	(H2,h)=(1,1)
(H1,CID,UUI)=(1,10,20)	(H2,h)=(11,1)
⋮	⋮
(H1,CID,UUD)=(1,11, $\neq 20$)	(H2,h)=(1,2)
(H1,CID,UUD)=(1,11,20)	(H2,h)=(11,2)
⋮	⋮

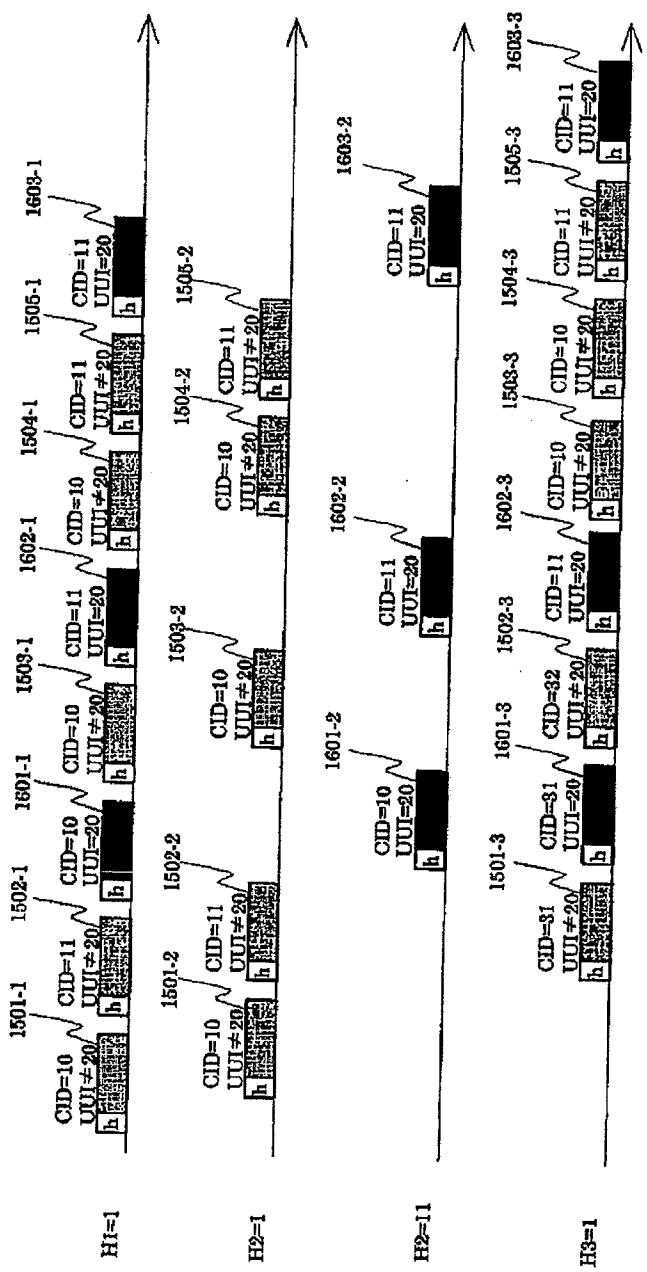
(b)

【図12】

		1451
1471	(H2,h)	(H3,CID)
1472	(H2,h)=(1,1)	(H3,CID)=(1,31)
	(H2,h)=(1,2)	(H3,CID)=(1,32)
1473	⋮	⋮
1474	(H2,h)=(11,1)	(H3,CID)=(1,31)
	(H2,h)=(11,2)	(H3,CID)=(1,32)
	⋮	⋮

(b')

【図13】



フロントページの続き

(72)発明者 村上 恭朗

神奈川県横浜市戸塚区戸塚町216番地 株
式会社日立製作所通信システム事業本部内

(72)発明者 篠輪 将英

神奈川県横浜市戸塚区戸塚町216番地 株
式会社日立製作所通信システム事業本部内

F ターム(参考) 5K030 GA11 HA10 HB28 HB29 JA01

